

ИНДЕКС 3649

Препринт ЕФИ-1231 (17)-90

ԵՐԵՎԱՆԻ ՖԻԶԻԿԱԶԻ ԻՆՍՏԻՏՈՒՏ
ЕРЕВАНСКИЙ ФИЗИЧЕСКИЙ ИНСТИТУТ
YEREVAN PHYSICS INSTITUTE

А.Г.АГАБАБЯН, С.Г.АНАНЯН, А.А.КАЗАРЯН,
Л.Ю.КВИНТ, А.Р.МАТЕВОСЯН

МНОГОПРОЦЕССОРНАЯ СИСТЕМА СБОРА
ИНФОРМАЦИИ С ОБЩЕЙ ПАМЯТЬЮ



ЕРЕВАНСКИЙ ФИЗИЧЕСКИЙ ИНСТИТУТ

ЦНИИАтоминформ
ЕРЕВАН-1990

Ա. Հ. ԱՂԱԲԱԲԻԱՆ, Ս. Հ. ԱՆԱՆԻԱՆ, Լ. Յու. ԿԱԶԻՐԻԱՆ,

Ա. Ա. ԿԱԶԱՐԻԱՆ, Ա. Ռ. ՄԱԹԵՎՈՍԻԱՆ

ԸՆԻՀԱՆՈՒՐ ՀԻՇՈՂՈՒԹՅԱՄԲ ԻՆՖՈՐՄԱՑԻԱՅԻ ՀԱՎԱԶՄԱՆ

ԲԱԶՄԱՊՐՈՑԵՍՈՐԱՅԻՆ ՀԱՄԱԿԱՐԳ

Նկարագրված է ընդհանուր հիշողութայամբ բազմապրոցեսորային համակարգի ապարատային միջոցների կառուցվածքը, որը թույլ է տալիս N անկախ աշխատող պրոցեսորներին միաժամանակ դիմել ընդհանուր հիշողութայամբ M բլոկներին՝ արբիտրաժի պարզ սխեմով ընդհարումների լուծման համար: Բերված են համակարգերի և նրա բաղադրամասերի կառուցվածքային և գործառնական սխեմները:

Երևանի ֆիզիկայի ինստիտուտ

Երևան 1990

A.G. AGHABABIAN, S.G. ANANIAN, A.A. KAZARIAN,

L.Yu. KVINT, A.R. MATEVOSSIAN

A MICROPROCESSOR SYSTEM OF DATA COLLECTION

WITH A COMMON MEMORY

There is described the hardware structure of a multiprocessor system with a common memory enabling N independently operating processors to have a simultaneous access to M blocks of the common memory having a simple circuit of conflict arbitration. The functional and block diagrams of the system and its components are presented.

Yerevan Physics Institute

Yerevan 1990



УДК 53.087.9

А.Г. АГАБАБЯН, С.Г. АНАНЯН, А.А. КАЗАРЯН,
Л.Ю. КВИНТ, А.Р. МАТЕВОСЯН

МНОГОПРОЦЕССОРНАЯ СИСТЕМА СБОРА ИНФОРМАЦИИ
С ОБЩЕЙ ПАМЯТЬЮ

Описана структура аппаратных средств многопроцессорной системы с общей памятью, позволяющих N независимо работающим процессорам одновременно обращаться к M блокам общей памяти с простой схемой арбитража для разрешения конфликтов. Приведены структурные и функциональные схемы системы и ее компонентов

Ереванский физический институт
Ереван 1990

Эффективность организации многопроцессорной системы определяется ее надежностью, пропускной способностью и аппаратными затратами. Растущие потребности в специализированных многопроцессорных системах, с одной стороны, и доступность микропроцессоров, с другой, обуславливают необходимость разработки типовых структур аппаратных средств, позволяющих оперативно организовать мультимикропроцессорную систему с общей памятью с приемлемыми показателями по надежности, пропускной способности и простоте реализации.

Анализ известных способов организации многопроцессорных систем и схемных реализаций доступа к общей памяти показал [1-5], что подобные задачи целесообразно решать в структуре с многочисленными связями с обеспечением доступа каждого процессора к любому модулю памяти [5]. Однако при этом, как правило, в адресном пространстве каждого из процессоров системы вырезается "окно", размер которого равен объему доступной общей памяти, а доступ к общей памяти осуществляется по командам работы с памятью после захвата магистрали [1,2].

Такая организация доступа к памяти вызывает определенные неудобства как из-за уменьшения собственного адресного пространства процессоров, так и ввиду больших аппаратных затрат.

С другой стороны, существуют различные методы расширения адресного пространства, такие как: метод окна, метод базовых регистров, метод банков и метод виртуальной памяти [3]. В настоящее время достаточно широко распространены 3 метода (или их комбинации), так как метод виртуальной памяти наиболее эффективен для 32 - разрядных микропроцессоров [4], которые пока недостаточно распространены.

В настоящей работе описана организация доступа к общей памяти мультимикропроцессорной системы сбора информации о параметрах Ереванского синхротрона с расширением адресного пространства каждого из процессоров системы посредством одной из разновидностей метода базовых регистров.

I. Постановка задачи

Структура аппаратных средств должна позволить N независимо работающим процессорам одновременно обращаться к M блокам общей памяти в произвольные моменты времени при условии, что все процессоры имеют равный приоритет при работе с общей памятью. При обращении процессора к блоку памяти, занятому в этот момент другим процессором, запрос должен удовлетвориться по окончании обмена с другим процессором. С другой стороны, желательно обеспечить расширение адресного пространства каждого из процессоров системы без существенного уменьшения их собственного адресного пространства. Кроме того, структура аппарат-

ных средств доступа к общей памяти не должна зависеть от типа используемых процессоров и их шинной организации, а логика разрешения конфликтов должна быть максимально простой.

2. Аппаратура системы и описание ее функционирования

Для конкретности при описании структуры аппаратных средств мультимикропроцессорной системы рассмотрим ее реализацию для 16 микропроцессоров КР580ВМ80А и им подобных, имеющих доступ к общей памяти, состоящей из 16 блоков по 4 Кбайт каждый.

Структурная схема системы приведена на рис.1. Помимо процессоров ЦП₁ - ЦП₁₆ и блоков памяти БП₁ - БП₁₆, она включает в себя дешифраторы управляющих сигналов ДУС₁ - ДУС₁₆, счетчики - регистры адреса СРА₁ - СРА₁₆, дешифраторы адреса ДА₁ - ДА₁₆, блоки обработки запросов БОЗ₁ - БОЗ₁₆, 16-канальные 12-разрядные мультиплексоры адреса МА₁ - МА₁₆, 16-канальные 8-разрядные мультиплексоры записываемых МЗД₁ - МЗД₁₆ и считываемых МСД₁ - МСД₁₆ данных, а также 17-входные элементы ИЛИ₁ - ИЛИ₁₆. В адресном пространстве каждого из процессоров выделяются 4 адреса для работы с общей памятью.

Система функционирует следующим образом. В начальный момент времени, до обращения процессоров к общей памяти, в каждом ДУС сброшены в "0" регистры управляющих слов РУС (см.рис.2), в результате чего на 17-е входы элементов ИЛИ и на входы разрешения дешифраторов ДА (К155ИД3) поступают сигналы "1". Тогда на всех выходах всех дешифраторов ДА и всех элементов ИЛИ - также "1". Выходы элементов ИЛИ подключены к входам готовности соответствующих процессоров, что не мешает их работе, а вы-

ходы дешифраторов поступают в блоки обработки запросов, причем первые выходы всех ДА поступают в БОЗ₁, вторые - в БОЗ₂ и т.д. Функциональная схема i - того БОЗ приведена на рис.3. В состав

БОЗ входит арбитр запросов (элементы Д₁ - Д₁₆) и формирователь вспомогательных сигналов (элементы Д₁₇ - Д₅₀). Поскольку в исходном состоянии на входах арбитра сигналы "1" с выходов дешифраторов ДА, на его выходах будут нули, следовательно, на выходах элементов Д₄₉ и Д₅₀ всех БОЗ - сигналы уровня "1". Таким образом, на входах выборки и записи всех блоков памяти и входах выборки мультиплексоров МСД - уровни "1", что вызывает их заширание (см.рис.4). С другой стороны, сигналы "0" с выходов элементов Д₁ - Д₁₆ БОЗ поступают на соответствующие разрешающие входы мультиплексоров МЗД и МА, а также на соответствующие входы элементов ИЛИ. Функциональные схемы одного МЗД и одного МА приведены на рис.5,6. Отсюда видно, что в исходном состоянии общая память отключена от всех процессоров системы.

Пусть теперь j - тому процессору потребовалось обратиться к i - тому блоку общей памяти. Тогда ЦП _{j} по первому из четырех выделенных для работы с общей памятью адресов посылает значения младших 8 разрядов адреса требуемой ячейки памяти. После сравнения адреса в схеме сравнения СС ДУС _{j} (обычная сборка на логических элементах для выделения требуемых адресов - см.рис.2) по сигналу записи данные запишутся в младшую половину СРА _{j} (сигналом С1 - см.рис.7). Далее по второму выделенному адресу посылаются значения старших 8 разрядов адреса памяти, которые по сигналу С2 запишутся в старшую половину СРА _{j} . При этом старшие 4 разряда содержимого СРА определяют номер

блока общей памяти (i), а младшие 12 разрядов - номер ячейки в блоке. Затем ЦП по третьему выделенному адресу посылает управляющее слово, которое записывается в РУС ДУС _{j} . Бит Д₀ управляющего слова равен "1", значения битов Д₁ и Д₂ определяются требуемым в дальнейшем режимом работы - автоинкремент или автодекремент, или без этого (ситуация Д₁ = Д₂ = 1 запрещена). Остальные биты управляющего слова не используются. В результате этих трех посылок на 17 - м входе элемента и на входе разрешения дешифратора ДА _{j} установится "0". Тогда на i - том выходе ДА _{j} установится "0", который поступит на j - тый вход БОЗ ^{i} , что вызовет появление "1" на выходе j - того элемента из Д₁ - Д₁₆ БОЗ ^{i} . Этот сигнал поступит на i - тый вход элемента ИЛИ _{j} (чтобы не останавливалась работа ЦП _{j}), а также на j - тые входы разрешения i - тых МЗД и МА, в результате чего на адресные входы БП ^{i} поступит адрес выбранной ячейки памяти и будет разрешено прохождение данных через МЗД ^{i} в БП ^{i} . После этого ЦП может либо записать, либо считать данные по четвертому из выделенных адресов. В случае записи на выходах ЗП и ВК ДУС _{j} формируются импульсы, которые поступают на соответствующие входы БОЗ ^{i} и, пройдя через элементы Д₄₉ и Д₅₀, поступают на входы записи и выборки БП ^{i} (сигналы ЗПП и ВКП). В это время данные проходят через МЗД ^{i} . Итак, посланная по шине данных процессора ЦП _{j} информация запишется в i - тый блок памяти БП ^{i} . В случае чтения сигнал ЧПП с выхода ДУС _{j} поступит на вход чтения МСД _{j} , на вход разрешения которого поступит сигнал ВКП, и данные из БП ^{i} поступят на шину данных ЦП _{j} . После окончания цикла обмена информацией с общей

памятью III] по третьему адресу посылает управляющее слово с битом $D_0 = 0$, освобождая тем самым i -тый блок памяти и восстанавливая исходное состояние системы. Если же ранее были установлены флажки автоинкремента или автодекремента, процессор может вновь обратиться к общей памяти. В этом случае уже нет необходимости вновь задавать адрес ячейки памяти и управляющее слово, так как по заднему фронту сигнала ЗП (ЧТ) ДУС в СРА автоматически осуществляется инкремент адреса (или декремент - в зависимости от флажков). Такое решение обеспечивает уменьшение длительности цикла доступа к общей памяти при передаче достаточно больших массивов информации до величины, сравнимой с циклом обращения к собственной памяти процессора.

Если во время работы j -того процессора с i -тым блоком памяти к этому же блоку памяти обратится k -тый процессор (выполнив 3 описанных выше действия со своим ДУС), то на $I7$ -м входе элемента ИЛИ_k и на входе разрешения ДА_k установится "0". На i -том выходе ДА_k установится "0", который поступит на k -тый вход БОЗ_i. В это время на выходе P_j_i БОЗ_i присутствует "1" (так как ранее на j -том входе БОЗ_i был установлен "0" процессором ЦА_j), поэтому дальнейшего распространения сигнала запроса от k -того процессора к i -тому блоку памяти не произойдет. Более того, поскольку на $I7$ -м входе элемента ИЛИ_k установлен "0" и на всех остальных его входах также "0" (все k -тые выходы всех БОЗ), на выходе элемента ИЛИ_k также установится "0", сигнализируя k -тому процессору о недоступности i -того блока памяти. В результате этого k -тый процессор может либо подождать освобождения этого бло-

ка памяти, либо обратиться к любому другому свободному в это время каналу. Более подробно работа арбитра БОЗ описана в [6].

Если во время работы j -того процессора с i -тым блоком памяти k -тый процессор обратится к любому другому блоку памяти и если последний в это время не занят другим процессором, то этот блок памяти станет доступным k -тому процессору как для записи, так и для считывания. Таким образом, возможна одновременная работа всех 16 процессоров системы со всеми блоками общей памяти, когда каждый процессор занимает один блок. При этом каждый процессор может обращаться к любому блоку общей памяти.

Заключение

Итак, описанная система сбора информации объединяет N независимо работающих процессоров, которые могут обращаться ко всем M блокам общей памяти в произвольные моменты времени. Обращение к отдельным ячейкам памяти может осуществляться как по командам обмена с памятью, так и по командам обмена с внешними устройствами (IN и OUT). Посредством лишь четырех адресов каждый процессор может адресовать 64 Кбайт общей памяти, которая может использоваться, в частности, в качестве внешнего буфера для каждого из процессоров системы.

Описанная типовая структура аппаратных средств позволяет оперативно организовать мультимикропроцессорную систему с произвольным числом процессоров с приемлемыми показателями по надежности, пропускной способности и простоте реализации. При этом

тип процессоров не является определяющим, так как шина данных может быть как объединенной двунаправленной, так и раздельной и иметь любую разрядность. Более того, адресные и информационные шины процессоров могут быть совмещенными (шина типа $Q - bus$). В последнем случае лишь несколько усложняется схема дешифратора управляющих сигналов.

ПОДПИСИ К РИСУНКАМ

- Рис.1 Структурная схема мультиплексорной системы с общей памятью.
- Рис.2 Функциональная схема i -го дешифратора управляющих сигналов.
- Рис.3 Функциональная схема i -го блока обработки запросов.
- Рис.4 Функциональная схема i -го мультиплексора считываемых данных.
- Рис.5 Функциональная схема i -го мультиплексора адреса.
- Рис.6 Функциональная схема i -го мультиплексора записываемых данных.
- Рис.7 Принципиальная схема i -го счетчика-регистра адреса.

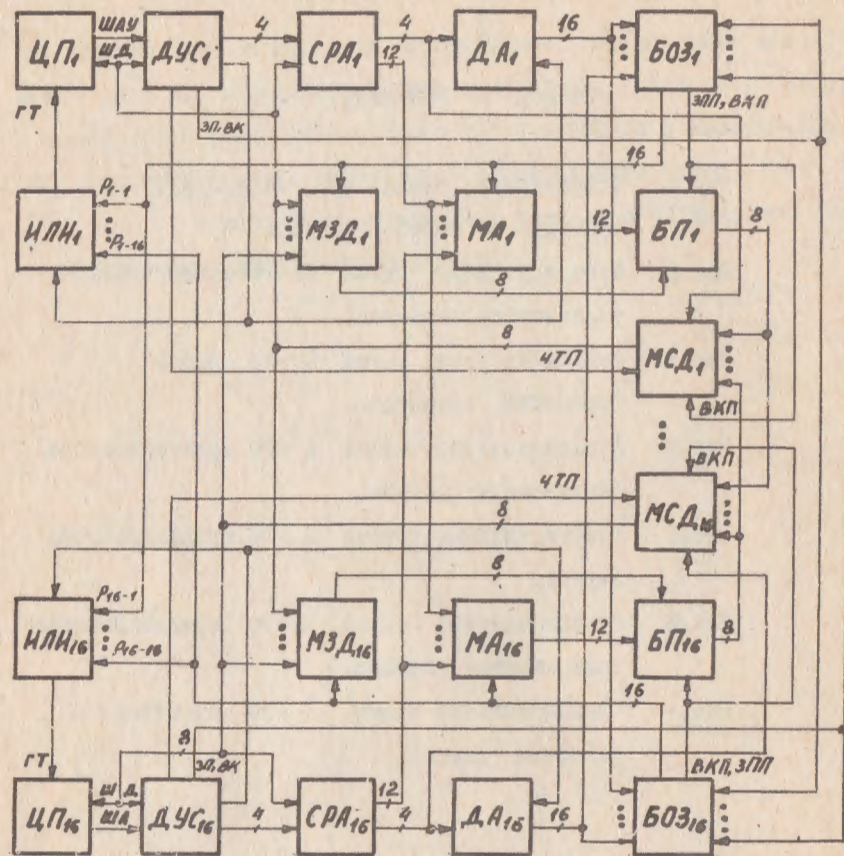


Рис. 1. Структурная схема мультипроцессорной системы с общей памятью.

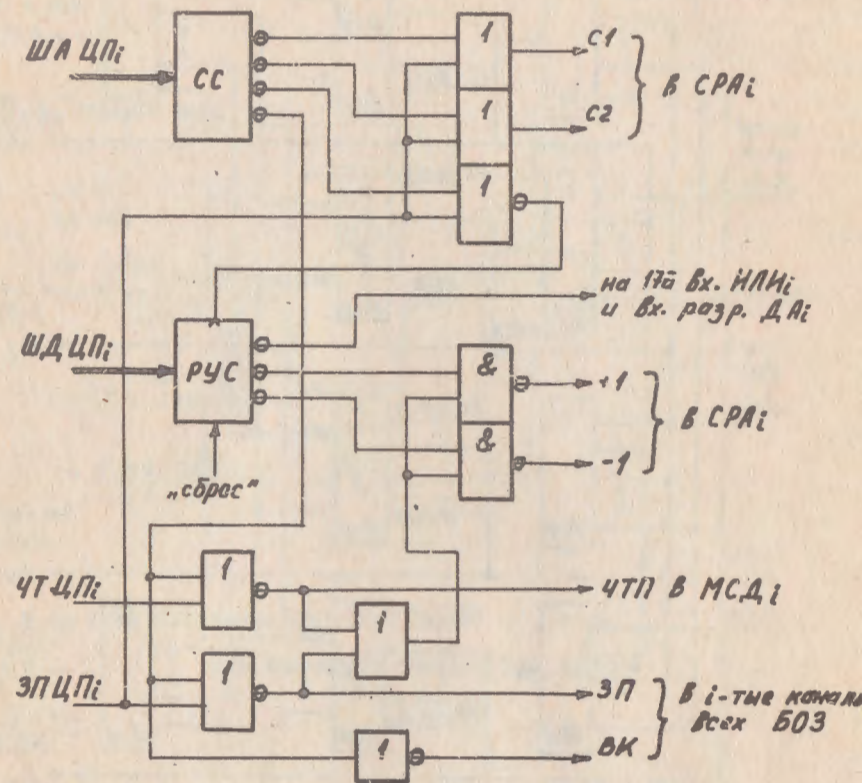


Рис. 2. Функциональная схема i -того дешифратора управляющих сигналов.

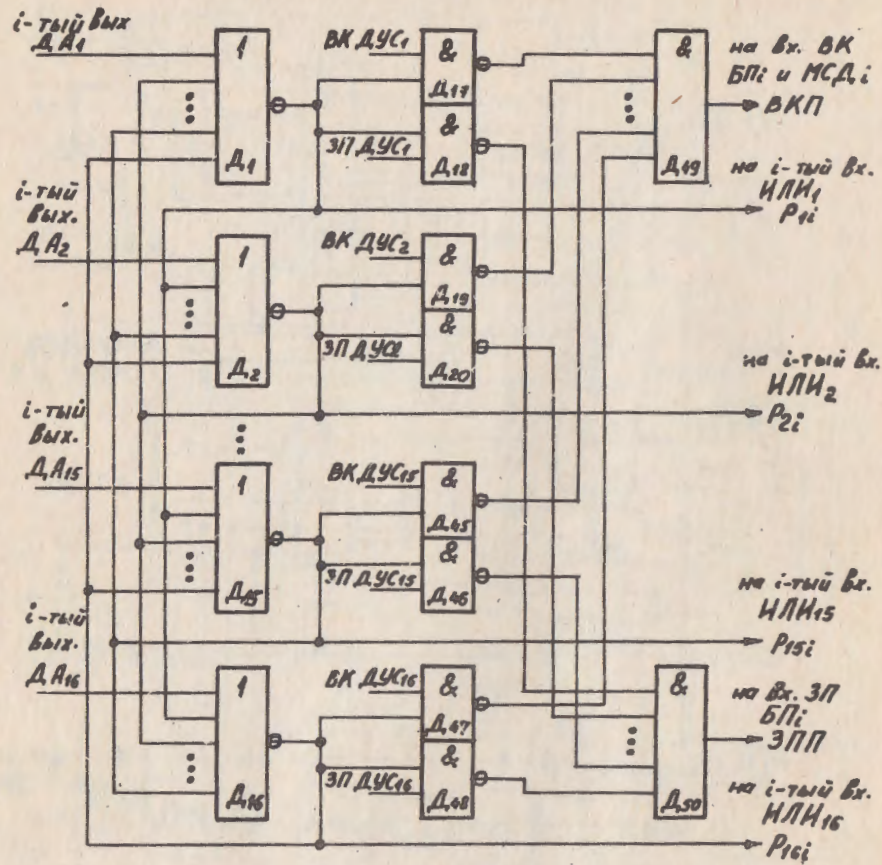


Рис. 3. Функциональная схема i -того блока обработки запросов.

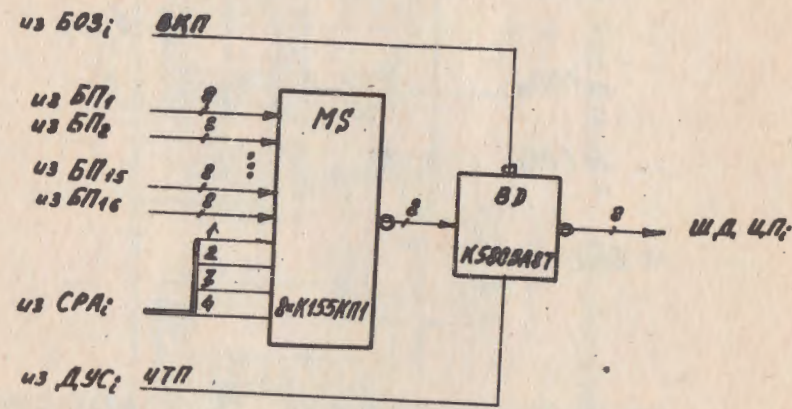


Рис. 4. Функциональная схема i -того мультиплексора считываемых данных.

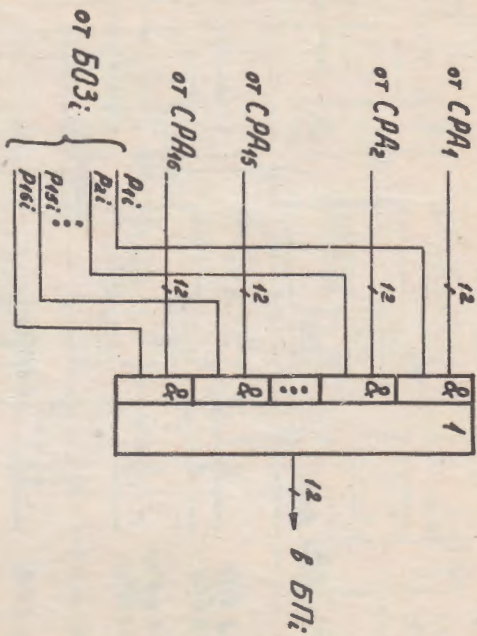


Рис. 5. Функциональная схема i -того мультиплексора адреса.

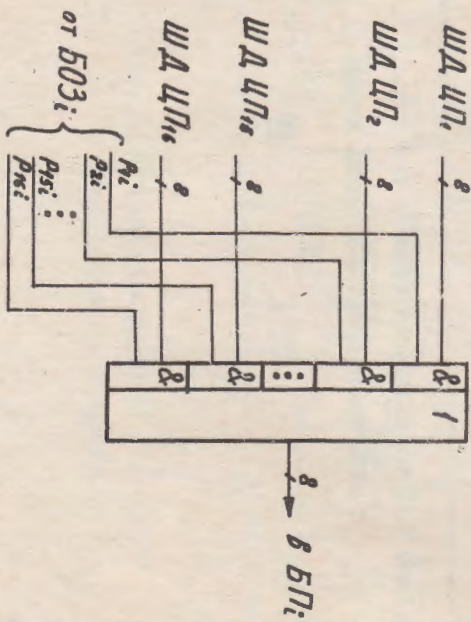


Рис. 6. Функциональная схема i -того мультиплексора записываемых данных.

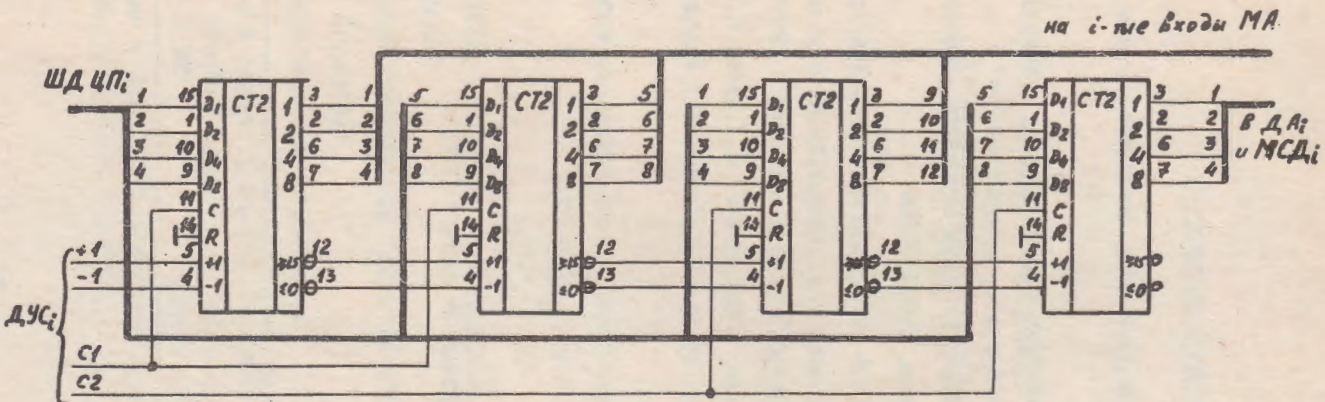


Рис. 7. Принципиальная схема i -того счетчика - регистра адреса.

СПИСОК ЛИТЕРАТУРЫ

1. Головкин Б.А. Параллельные вычислительные системы. М.:Наука, 1980, с.520.
2. Enslow P. Multiprocessor Organization - a Surrey// Computing Surreys, 1977, vol.9, N.1, p.103-129.
3. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения. М.: Радио и связь, 1986, с.264.
4. Speicherorganisation in Microprozessorsystemen/ Gotte A.// Bull.Schweiz.elektrotechn.Ver., 1988, V.79, N.17, p.1055-1058.
5. Хвоц С.Т. и др. Микропроцессоры и микроЭВМ в системах автоматического управления: Справочник/ С.Т.Хвоц, Н.Н.Варлиньский, Е.А.Попов. Под общ.ред.С.Т.Хвоца. Л.: Машиностроение, 1987, с.640.
6. Матевосян А.Р. Об одной схеме многоканального арбитра. Препринт ВВИ - I230(I6)-90, Ереван 1990

Рукопись поступила 22 января 1990 г.

The address for requests:
Information Department
Yerevan Physics Institute
Alikhanian Brothers 2,
Yerevan, 375036
Armenia, USSR

А.Г.АГАБАБЯН, С.Г.АНАНЯН, А.А.КАЗАРЯН, Л.Ю.КВИНТ,
А.Р.МАТЕВОСЯН

МНОГОПРОЦЕССОРНАЯ СИСТЕМА СБОРА ИНФОРМАЦИИ С ОБЩЕЙ ПАМЯТЬЮ

Редактор Л.П.Мукаян

Технический редактор А.С.Абрамян

Подписано в печать 12/VI-90г. ВЭ-04221 Формат 60x84/16

Офсетная печать.Уч.изд.л.0,8 Тираж 299 экз.Ц.10 к.

Зак. тип. № 185

Индекс 3649

Отпечатано в Ереванском физическом институте
Ереван 36, ул.Братьев Аликханян, 2